

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

18212169

Basic Patent (No,Kind,Date): JP 2002287711 A2 20021004 <No. of Patents:

001>

**SHIFT REGISTER AND DISPLAY DEVICE USING THE SAME, CAMERA SYSTEM,
AND PORTABLE TERMINAL DEVICE (English)**

Patent Assignee: SONY CORP; TOYOTA IND CORP

Author (Inventor): TATEUCHI MITSURU; AOYAMA TAKASHI

IPC: *G09G-003/36; G02F-001/133; G09G-003/20; H04N-005/66

Derwent WPI Acc No: G 03-080422

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|---------------|------|----------|--------------|------|------------------|
| JP 2002287711 | A2 | 20021004 | JP 200191682 | A | 20010328 (BASIC) |

Priority Data (No,Kind,Date):

JP 200191682 A 20010328

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07419201 **Image available**

SHIFT REGISTER AND DISPLAY DEVICE USING THE SAME, CAMERA
SYSTEM, AND PORTABLE TERMINAL DEVICE

PUB. NO.: **2002-287711** [JP 2002287711 A]

PUBLISHED: October 04, 2002 (20021004)

INVENTOR(s): TATEUCHI MITSURU

 AOYAMA TAKASHI

APPLICANT(s): SONY CORP

 TOYOTA INDUSTRIES CORP

APPL. NO.: 2001-091682 [JP 200191682]

FILED: March 28, 2001 (20010328)

INTL CLASS: G09G-003/36; G02F-001/133; G09G-003/20; H04N-005/66

ABSTRACT

PROBLEM TO BE SOLVED: To solve such problems that a response time from a clock pulse edge up to a shift pulse output is lengthened when a circuit configuration using a D-FF is employed for every transfer stage, and not only the circuit scale but also the power consumption increase as much.

SOLUTION: In the shift register with a level shift function, each transfer stage is composed of an OR gate 11n for receiving a pulse transferred from the preceding stage as one of the inputs, a level shifter 12n for shifting the levels of the clocks CK, XCK in the state permitting level shift operation in response to the output signal ENn of the OR gate 11n, and an AND gate 13n for ANDing the output signal ENn of the OR gate 11n and the level-shifted clock CK, and outputting the output pulse as a shift pulse to own stage and a transfer pulse Qn to the next stage via a buffer 14n, to give it to the OR gate 11n as the other input at the same time.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-287711

(P 2 0 0 2 - 2 8 7 7 1 1 A)

(43) 公開日 平成14年10月4日(2002.10.4)

| (51) Int. Cl. ⁷ | 識別記号 | F I | ターマコード (参考) |
|----------------------------|------|------------|-------------|
| G09G 3/36 | | G09G 3/36 | 2H093 |
| G02F 1/133 | 505 | G02F 1/133 | 505 5C006 |
| G09G 3/20 | 611 | G09G 3/20 | 611 A 5C058 |
| | 623 | | 623 H 5C080 |
| | 680 | | 680 S |

審査請求 未請求 請求項の数 7 O L (全12頁) 最終頁に続く

(21) 出願番号 特願2001-91682 (P 2001-91682)

(22) 出願日 平成13年3月28日(2001.3.28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(71) 出願人 000003218

株式会社豊田自動織機

愛知県刈谷市豊田町2丁目1番地

(72) 発明者 建内 満

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

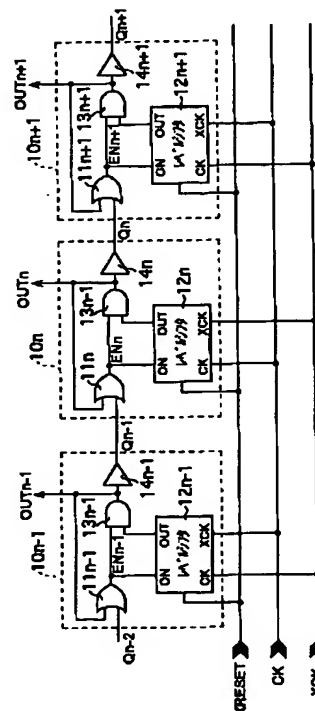
最終頁に続く

(54) 【発明の名称】 シフトレジスタおよびこれを用いた表示装置、ならびにカメラシステムおよび携帯端末装置

(57) 【要約】

【課題】 各転送段ごとにD-FFを用いた回路構成を採ると、クロックのパルスエッジからシフトパルスの出力までの応答時間が長くなり、またその分だけ回路規模が増大するとともに消費電力も増加する。

【解決手段】 レベルシフト機能付きのシフトレジスタにおいて、転送段の各々を、前段からの転送パルス Q_{n-1} を一方の入力とするORゲート11nと、このORゲート11nの出力信号 EN_n にตอบสนองしてレベルシフト動作可能な状態となってクロックCK、XCKのレベルをシフトするレベルシフタ12nと、ORゲート11nの出力信号 EN_n とレベルシフト後のクロックCKとの論理積をとり、その出力パルスを自段のシフトパルス OUT_n およびバッファ14nを介して次段への転送パルス Q_n として出力するとともに、ORゲート11nに対してその他方の入力として与えるANDゲート13nとによって構成する。



【特許請求の範囲】

【請求項 1】 縦続接続された転送段の各々が、前段から供給される転送パルスを一方の入力とする OR ゲートと、前記 OR ゲートの出力信号に応答してレベルシフト動作可能な状態となってクロック信号のレベルをシフトするレベルシフトと、前記 OR ゲートの出力信号と前記レベルシフトでレベルシフトされたクロック信号との論理積をとり、その出力信号を自段のシフトパルスおよび次段への転送パルスとして出力するとともに、前記 OR ゲートに対してその他方の入力として与える AND ゲートとを有することを特徴とするシフトレジスタ。

【請求項 2】 前記 OR ゲート、前記レベルシフトおよび前記 AND ゲートは、薄膜トランジスタによって形成されていることを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 3】 画素が行列状に配置されてなる画素部と、前記画素部の各画素を行単位で選択する垂直駆動系と、前記垂直駆動系によって選択された行の各画素に情報を書き込む水平駆動系とを具備し、前記垂直駆動系および前記水平駆動系の少なくとも一方の走査系を構成するシフトレジスタの各転送段が、前段から供給される転送パルスを一方の入力とする OR ゲートと、前記 OR ゲートの出力信号に応答してレベルシフト動作可能な状態となってクロック信号のレベルをシフトするレベルシフトと、前記 OR ゲートの出力信号と前記レベルシフトでレベルシフトされたクロック信号との論理積をとり、その出力信号を自段のシフトパルスおよび次段への転送パルスとして出力するとともに、前記 OR ゲートに対してその他方の入力として与える AND ゲートとを各々有することを特徴とする表示装置。

【請求項 4】 前記垂直駆動系および前記水平駆動系が前記画素部と同一基板上に一体的に形成されていることを特徴とする請求項 3 記載の表示装置。

【請求項 5】 前記シフトレジスタは、前記画素部の画素トランジスタ、前記垂直駆動系および前記水平駆動系と共に薄膜トランジスタを用いて形成されていることを特徴とする請求項 4 記載の表示装置。

【請求項 6】 前段から供給される転送パルスを一方の入力とする OR ゲートと、前記 OR ゲートの出力信号に応答してレベルシフト動作可能な状態となってクロック信号のレベルをシフトするレベルシフトと、前記 OR ゲートの出力信号と前記レベルシフトでレベルシフトされたクロック信号との論理積をとり、その出力信号を自段のシフトパルスおよび次段への転送パルスと

して出力するとともに、前記 OR ゲートに対してその他方の入力として与える AND ゲートとを各々有する転送段を縦続接続してなるシフトレジスタを用いて走査系を構成してなる表示装置を具備することを特徴とするカメラシステム。

【請求項 7】 前段から供給される転送パルスを一方の入力とする OR ゲートと、前記 OR ゲートの出力信号に応答して動作状態となってクロック信号のレベルをシフトするレベルシフトと、前記 OR ゲートの出力信号と前記レベルシフトでレベルシフトされたクロック信号との論理積をとり、その出力信号を自段のシフトパルスおよび次段への転送パルスとして出力するとともに、前記 OR ゲートに対してその他方の入力として与える AND ゲートとを各々有する転送段を縦続接続してなるシフトレジスタを用いて走査系を構成してなる表示装置を具備することを特徴とする携帯端末装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、シフトレジスタおよびこれを用いた表示装置、ならびにカメラシステムおよび携帯端末装置に関し、特にレベルシフト機能を持つシフトレジスタおよびこれを用いた表示装置、ならびに当該表示装置を具備するカメラシステムおよび携帯端末装置に関する。

【 0 0 0 2 】

【従来の技術】表示装置、例えば液晶表示装置として、画素が行列状に配置された画素部を駆動するための駆動回路を、画素部と同一の基板（液晶パネル）上に一体的に形成してなるいわゆる駆動回路一体型液晶表示装置がある。この駆動回路一体型液晶表示装置では、外部 IC から例えば T T L 信号の低電圧振幅レベルが液晶パネル内に供給されることから、液晶パネル内ではこの低電圧振幅レベルを、液晶の駆動に必要な高電圧振幅レベルに変換する必要がある。

【 0 0 0 3 】一例として、水平駆動系を考えると、当該水平駆動系では従来、外部から与えられる水平スタートパルス H s t については液晶パネル内に設けられたレベル変換回路で高電圧振幅レベルに変換して水平スキャナに供給し、外部から与えられる水平クロック H c k については低電圧振幅レベルのまま水平スキャナに供給し、その水平スキャナを構成するシフトレジスタに内蔵されたレベルシフトで高電圧振幅レベルに変換する構成が採られていた。

【 0 0 0 4 】そのため、駆動回路一体型液晶表示装置では、水平スキャナを構成するシフトレジスタとして、レベルシフト機能を持つシフトレジスタを用いていた。このレベルシフト機能付きシフトレジスタの従来例を図 8 に示す。ここでは、n 段目の転送段（レジスタ段）の構成を例にとって説明するが、他の転送段も全く同じ構成

となっている。

【0005】前段 ($n-1$ 段) から供給される転送パルス Q_{n-1} は、D タイプフリップフロップ (以下、単に D-FF と記す) $101n$ に対してその D 入力として与えられるとともに、AND ゲート $102n$ および OR ゲート $103n$ に対してそれらの各一方の入力として与えられる。D-FF $101n$ の Q 出力は、バッファ $104n$ を介して転送パルス Q_n として次段 ($n+1$ 段) に供給されるとともに、AND ゲート $102n$ および OR

ゲート $103n$ に対してそれらの各他方の入力として与えられる。

【0006】AND ゲート $102n$ の出力パルスは自段の水平走査パルス OUT_n となる。OR ゲート $103n$ の出力は、レベルシフト $105n$ に対してこれをレベルシフト動作可能な状態とさせるための ON 制御パルスとして与えられる。レベルシフト $105n$ には、アクティブ Low (低レベルがアクティブ) のリセットパルス $XRESET$ が与えられるとともに、互いに逆相のクロック CK , XCK が与えられる。これらクロック CK , XCK は、低電圧振幅の水平クロック Hck (同相のクロックおよび逆相のクロック) である。

【0007】レベルシフト $105n$ は、OR ゲート $103n$ から ON 制御パルスが与えられることでレベルシフト動作可能な状態となり、低電圧振幅の水平クロック Hck であるクロック CK , XCK を高電圧振幅のクロックにレベル変換 (レベルシフト) して D-FF $101n$ に対してそのクロック (CK) 入力として与える。 n 段目では、クロック CK についてレベルシフト動作が行われる。

【0008】次に、上記構成の従来例に係るレベルシフト機能付きシフトレジスタの回路動作について、図 9 のタイミングチャートを用いて n 段目の回路動作を中心に説明する。なお、図 9 のタイミングチャートには、 $n-1$ 段目 $\sim n+1$ 段目の各部の信号のタイミング関係が示されている。

【0009】 $n-1$ 段目から転送パルス Q_{n-1} が入力され、これが OR ゲート 103 を通してレベルシフト $105n$ に ON 制御パルスとして与えられることにより、レベルシフト $105n$ はレベルシフト動作可能な状態となり、低電圧振幅のクロック CK , XCK を高電圧振幅のクロックにレベル変換する。このレベル変換されたクロック CK は D-FF $101n$ にその CK 入力として与えられる。

【0010】転送パルス Q_{n-1} は同時に、D-FF $101n$ に対してその D 入力として与えられる。すると、D-FF $101n$ の Q 出力 FF_n がクロック CK の立ち上がりのタイミングで低レベル (以下、“L” レベルと記す) から高レベル (以下、“H” レベルと記す) に遷移する。この D-FF $101n$ の Q 出力 FF_n が OR

ゲート 103 を通してレベルシフト $105n$ に ON 制御パルスとして与えられることで、レベルシフト $105n$ は引き続きレベルシフト動作可能な状態を維持して、クロック CK , XCK に対するレベル変換動作を続ける。

【0011】D-FF $101n$ の Q 出力 FF_n はさらに、バッファ $104n$ を経由して自段の転送パルス Q_n として $n+1$ 段目に供給されるとともに、AND ゲート $102n$ にも供給される。AND ゲート $102n$ では、前段からの転送パルス Q_{n-1} と D-FF $101n$ の Q 出力 FF_n との論理積演算が行われる。そして、この AND ゲート $102n$ の論理積出力が、自段の水平走査パルス OUT_n として出力されることになる。

【0012】

【発明が解決しようとする課題】ところで、パルスを順次転送するシフトレジスタにおいて、各転送段間で転送パルスを伝送する配線には、図 10 の等価回路図に示すように、抵抗や容量などの寄生素子が少なからず存在し、この寄生素子の影響によって転送パルスに遅延が生じるのは避けられない問題である。この遅延は、AND ゲート $102n$ を通して水平走査パルス OUT_n の遅延の原因となって現れる。

【0013】特に、上述した従来例に係るシフトレジスタでは、転送パルス Q_{n-1} のパルス幅をクロック CK の 1 周期とし、この転送パルス Q_{n-1} を D-FF $101n$ でラッチし、そのラッチ出力パルスと転送パルス Q_{n-1} との論理積を AND ゲート $102n$ でとって水平走査パルス OUT_n として出力する構成を採っていることから、D-FF $101n$ での遅延も発生し、その遅延時間も加わることになるため、クロック CK , XCK のパルスエッジから水平走査パルス OUT_n の出力までの応答時間が長くなるという課題があった。さらに、D-FF $101n$ の存在によってその分だけ回路規模が増大するとともに、消費電力も増加するという課題があった。

【0014】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、クロックに対するシフトパルスの出力の応答性に優れるとともに、回路規模の縮小化および低消費電力化を可能にしたレベルシフト機能付きシフトレジスタおよびこれを用いた表示装置、ならびに当該表示装置を具備するカメラシステムおよび携帯端末装置を提供することにある。

【0015】

【課題を解決するための手段】本発明によるシフトレジスタは、縦続接続された転送段の各々が、前段から供給される転送パルスを一方の入力とする OR ゲートと、この OR ゲートの出力信号に応答して動作状態となってクロック信号のレベルをシフトするレベルシフトと、OR ゲートの出力信号とレベルシフトでレベルシフトされたクロック信号との論理積をとり、その出力信号を自段のシフトパルスおよび次段への転送パルスとして出力するとともに、OR ゲートに対してその他方の入力として与

えるANDゲートとを有する構成となっている。

【0016】上記構成のレベルシフト機能付きシフトレジスタにおいて、ORゲートは前段から供給される転送パルスと自段のシフトパルスとの論理和をとり、レベルシフトにレベルシフト動作可能な状態とする制御信号として与える。レベルシフトはこれにตอบสนองしてクロック信号のレベルシフト動作を行い、そのレベルシフト後のクロック信号をANDゲートに与える。すると、ANDゲートは、ORゲートの出力信号とレベルシフト後のクロック信号との論理積をとり、自段のシフトパルスおよび次段への転送パルスとして出力する。このレベルシフト機能付きシフトレジスタは、表示装置の走査系を構成するシフトレジスタとして用いられる。そして、この表示装置は、カメラシステムや携帯端末装置において、その表示装置として搭載される。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係るレベルシフト機能付きシフトレジスタの構成を示すブロック図である。ここでは、図面の簡略化のために、 $n-1$ 段目、 n 段目、 $n+1$ 段目の各転送段10 $n-1$ 、10 n 、10 $n+1$ のみを示している。また、縦続接続された各転送段は同じ構成となっているので、 n 段目の転送段10 n の場合を例にとってその具体的な構成について説明するものとする。

【0018】図1において、 n 段目の転送段10 n は、2入力ORゲート11 n 、レベルシフト12 n 、2入力ANDゲート13 n およびバッファ14 n を有する構成となっている。ORゲート11 n は、 $n-1$ 段目から供給される転送パルス Q_{n-1} を一方の入力とし、ANDゲート13 n の出力を他方の入力としている。ORゲート11 n の論理和信号 EN_n は、レベルシフト12 n に対してそのON制御信号、即ちレベルシフト動作可能な状態とするための制御信号として与えられるとともに、ANDゲート13 n に対してその一方の入力として与えられる。

【0019】レベルシフト12 n にはアクティブLowのリセットパルス $XRESET$ が与えられるとともに、例えば低電圧振幅の互いに逆相のクロックCK、XCKが与えられる。レベルシフト12 n は、ORゲート11 n からON制御信号が与えられることによってレベルシフト動作可能な状態となり、低電圧振幅のクロックCK、XCKを高電圧振幅のクロックCK、XCKにレベルシフト（レベル変換）する。

【0020】ここで、レベルシフトに対する低電圧振幅のクロックCK、XCKの入力については、各段ごとに交互に正相、逆相の繰り返しで入力される。すなわち、レベルシフト12 n にはクロックCK、XCKがCK入力、XCK入力として与えられ、レベルシフト12 $n-1$ 、12 $n+1$ にはクロックCK、XCKがXCK入

力、CK入力として与えられる。したがって、本段（ n 段）ではレベル変換後のクロックCKが、ANDゲート13 n に対してその他方の入力として与えられることになる。

【0021】ANDゲート13 n の論理積信号は、自段のシフトパルスOUT n として出力されるとともに、ORゲート11 n に対してその他方の入力として与えられ、さらにバッファ14 n を経由して自段の転送パルス Q_n として次段（ $n+1$ 段）の転送段10 $n+1$ に供給される。

【0022】以下、上記構成の本実施形態に係るレベルシフト機能付きシフトレジスタの回路動作について、図2のタイミングチャートを用いて n 段目を中心に説明する。なお、図2のタイミングチャートには、 $n-1$ 段目～ $n+1$ 段目の各部の信号のタイミング関係が示されている。

【0023】 $n-1$ 段目の転送段10 $n-1$ から出力される転送パルス Q_{n-1} が n 段目の転送段10 n に供給される。ここで、図3の等価回路に示すように、 $n-1$ 段目の転送段10 $n-1$ から n 段目の転送段10 n に転送パルス Q_{n-1} を伝送する配線には抵抗や容量などの寄生素子が少なからず存在し、その影響を受けることによって転送パルス Q_{n-1} は、 $n-1$ 段目のシフトパルスOUT $n-1$ に対して若干の遅れ（遅延時間 T_d ）をもって n 段目の転送段10 n に供給される。

【0024】転送パルス Q_{n-1} が n 段目の転送段10 n に入力されると、ORゲート11 n の論理和信号 EN_n が“H”レベルとなり、レベルシフト12 n にそのON制御信号として与えられるとともに、ANDゲート13 n に一方の入力として与えられる。これにより、レベルシフト12 n が動作状態、即ちレベルシフト動作が可能な状態となる。

【0025】そして、クロックCK、XCKが“H”レベルになると、レベルシフト12 n において、低電圧振幅のクロックCK、XCKを高電圧振幅のクロックCK、XCKにレベルシフトする動作が行われる。ここで、転送パルス Q_{n-1} には先述した配線の寄生素子に起因する遅延があり、クロックCKが“H”レベルに遷移した後に転送パルス Q_{n-1} が“L”レベルに遷移するため、クロックCKが立ち上がる前にレベルシフト12 n が非動作状態になることはない。

【0026】レベルシフト10 n でレベル変換されたクロックCKがANDゲート13 n にその他方の入力として与えられると、ANDゲート13 n において、ORゲート11 n の論理和信号 EN_n 、即ち前段からの転送パルス Q_{n-1} とレベル変換後のクロックCKとの論理積がとられ、その論理積信号が自段のシフトパルスOUT n として出力されるとともに、バッファ14 n を経て転送パルス Q_n として次段（ $n+1$ 段）の転送段10 $n+1$ に供給される。

【0027】ANDゲート13nの論理積信号はさらに、ORゲート11nを通して論理和信号ENNとなり、レベルシフト12nにそのON制御信号として、ANDゲート13nにその一方の入力として与えられる。これにより、レベルシフト12nは引き続き動作状態を維持して、クロックCK、XCKに対するレベル変換動作を続ける。

【0028】次に、クロックCKが“H”レベルから“L”レベルに遷移すると、ANDゲート13nの論理積信号、即ちシフトパルスOUTnが“L”レベルとなり、ORゲート11nの論理和信号ENNも“L”レベルとなるので、レベルシフト12nが非動作状態、即ちクロックCK、XCKのレベルシフト動作が不可能な状態となる。その結果、ANDゲート13nからはクロックCKと同じパルス幅、即ちクロックCKの半周期のパルス幅のパルス信号が、自段のシフトパルスOUTnとして出力されるとともに、自段の転送パルスQnとしてバッファ14nを経由して次段(n+1段)の転送段10n+1に供給される。

【0029】図4は、上記実施形態に係るレベルシフト機能付きシフトレジスタにおいて、n段目の転送段10nを実現するための具体的な回路構成の一例を示す回路図である。

【0030】図4において、NチャンネルMOSトランジスタQn1、Qn2は、ゲートが相互に接続されかつMOSトランジスタQn1がゲートとドレインが共通接続されたダイオード接続となっていることで、カレントミラー回路21を構成している。MOSトランジスタQn1、Qn2の各ソースには、低電圧振幅の逆相のクロックCK、XCKがそれぞれ入力される。

【0031】このカレントミラー回路21において、MOSトランジスタQn2のドレイン出力が、インバータ22で反転されて自段のシフトパルスOUTnとして出力されるとともに、バッファ23(図1のバッファ14nに相当)を経由して自段の転送パルスQnとしてn+1段目の転送段10n+1に供給される。

【0032】MOSトランジスタQn1、Qn2の各ドレインと電源VDDとの間には、PチャンネルMOSトランジスタQp1、Qp2がそれぞれ接続されている。MOSトランジスタQn1のドレインとGNDとの間には、NチャンネルMOSトランジスタQn3、Qn4が直列に接続されている。MOSトランジスタQn3のゲートには、前段からの転送パルスQn-1がインバータ24で反転されて与えられる。MOSトランジスタQn4のゲートには、MOSトランジスタQn2のドレイン出力が直接与えられる。

【0033】MOSトランジスタQp1のゲートで電源VDDとの間には、PチャンネルMOSトランジスタQp3、Qp4が直列に接続されている。MOSトランジスタQp2のゲートで電源VDDとの間には、Pチャン

ネルMOSトランジスタQp5、Qp6が直列に接続されている。MOSトランジスタQn2のドレイン(MOSトランジスタQp2のドレイン)と電源VDDとの間には、PチャンネルMOSトランジスタQp7、Qp8が並列に接続されている。

【0034】MOSトランジスタQp3、Qp5、Qp7の各ゲートには、MOSトランジスタQn2のドレイン出力がインバータ22で反転されて与えられる。MOSトランジスタQp4、Qp6の各ゲートには、前段からの転送パルスQn-1が直接与えられる。MOSトランジスタQp8のゲートには、アクティブLowのリセットパルスXRESETが与えられる。

【0035】MOSトランジスタQp1のゲートには、互いに並列に接続されたNチャンネルMOSトランジスタQn5、Qn6を介してクロックXCKが与えられる。MOSトランジスタQp2のゲートには、互いに並列に接続されたNチャンネルMOSトランジスタQn7、Qn8を介してクロックCKが与えられる。MOSトランジスタQn5、Qn7の各ゲートには、前段からの転送パルスQn-1が直接与えられる。MOSトランジスタQn6、Qn8の各ゲートには、MOSトランジスタQn2のドレイン出力がインバータ22で反転されて与えられる。

【0036】次に、上記構成の転送部10nのリセット時、休止時、スタンバイ時およびレベルシフト動作時の各回路動作について説明する。

【0037】(1)リセット時

リセット時、リセットパルスXRESETが“L”レベルになるので、MOSトランジスタQp8がオン状態となる。すると、インバータ22の入力が“H”レベルになるため、その出力OUTnは“L”レベルに固定される。このときまだ、前段から転送パルスQn-1が供給されておらず、インバータ24の出力が“H”レベルの状態にあり、またMOSトランジスタQp8がオンすることでMOSトランジスタQn4のゲートが“H”レベルとなるため、MOSトランジスタQn3、Qn4が共にオン状態となる。

【0038】MOSトランジスタQn3、Qn4がオンすると、カレントミラー回路21のMOSトランジスタQn1、Qn2の各ゲートが“L”レベルとなるため、これらMOSトランジスタQn1、Qn2はオフ状態となる。さらに、MOSトランジスタQn5、Qn6、Qn7、Qn8がオフ状態となり、MOSトランジスタQp3、Qp4、Qp5、Qp6がオン状態となるため、MOSトランジスタQp1、Qp2のゲートが“H”レベルとなり、MOSトランジスタQp1、Qp2はオフ状態となる。故に、リセット時には、MOSトランジスタQn1、Qn2およびMOSトランジスタQp1、Qp2には電流は流れない。

【0039】(2)休止時

10

20

30

40

50

リセットパルス XRESET が “H” レベルになり、MOS トランジスタ Qp 8 がオフ状態となるが、インバータ 22 の出力 OUTn が “L” レベルにあることによって MOS トランジスタ Qp 7 がオン状態にあるため、インバータ 22 の入力 “H” レベルの状態を維持し、したがって出力 OUTn は “L” レベルに保持される。

【0040】リセット時と同様に、MOS トランジスタ Qn 3, Qn 4 がオンするため、MOS トランジスタ Qn 1, Qn 2 は各ゲートが “L” レベルとなり、したがってオフ状態となる。さらに、MOS トランジスタ Qn 5 ~ Qn 8 がオフ、MOS トランジスタ Qp 3 ~ Qp 6 がオンするため、MOS トランジスタ Qp 1, Qp 2 のゲートが “H” レベルとなり、MOS トランジスタ Qp 1, Qp 2 はオフ状態となる。故に、休止時にも、MOS トランジスタ Qn 1, Qn 2 および MOS トランジスタ Qp 1, Qp 2 には電流が流れない。

【0041】(3) スタンバイ時

前段から “H” レベルの転送パルス Qn-1 が入力されると、MOS トランジスタ Qn 3, Qp 4, Qp 6 がオフ状態となり、MOS トランジスタ Qn 5, Qn 7 がオン状態となるため、MOS トランジスタ Qp 1, Qp 2 および MOS トランジスタ Qn 1, Qn 2 のオフ状態が解除される。また、クロック CK, XCK の低電圧振幅を 0V ~ Vpp とすると、クロック CK の電圧が 0V、クロック XCK の電圧が Vpp である。

【0042】このとき、MOS トランジスタ Qp 1, Qp 2, Qn 1, Qn 2 の各ゲート-ソース間電圧を Vgs (p1), Vgs (p2), Vgs (n1), Vgs (n2) とすると、それらの関係は、

$$V_{gs}(p1) < V_{gs}(p2)$$

$$V_{gs}(n1) > V_{gs}(n2)$$

となる。

【0043】仮に、MOS トランジスタ Qp 1, Qp 2 および MOS トランジスタ Qn 1, Qn 2 のサイズ比が 1対1 ならば、MOS トランジスタ Qp 1, Qp 2, Qn 1, Qn 2 に流れようとする電流を I (p1), I (p2), I (n1), I (n2) とすると、それらの関係は、

$$I(p2) > I(p1) = I(n1) > I(n2)$$

となる。よって、MOS トランジスタ Qp 2, Qn 2 の各ドレイン電圧は “H” レベルに保持される。

【0044】(4) レベルシフト動作時

クロック CK の電圧が Vpp、クロック XCK の電圧が 0V となると、Vgs (p1), Vgs (p2), Vgs (n1), Vgs (n2) の関係は、

$$V_{gs}(p1) > V_{gs}(p2)$$

$$V_{gs}(n1) < V_{gs}(n2)$$

となる。

【0045】仮に、MOS トランジスタ Qp 1, Qp 2 および MOS トランジスタ Qn 1, Qn 2 のサイズ比が

1対1 ならば、I (p1), I (p2), I (n1), I (n2) の関係は、

$$I(p2) < I(p1) = I(n1) < I(n2)$$

となる。したがって、MOS トランジスタ Qp 2, Qn 2 の各ドレイン電圧はほぼ “L” レベルになる。そして、このドレイン電圧はインバータ 22 によって反転され、VDD レベルである “H” レベルにレベルシフトされる。

【0046】この後、転送パルス Qn-1 が “L” レベルになって、MOS トランジスタ Qn 4, Qn 5, Qn 7, Qp 3, Qp 5 がオフしても、MOS トランジスタ Qn 6, Qn 8 がオンするので、MOS トランジスタ Qp 1, Qp 2 および MOS トランジスタ Qn 1, Qn 2 がオフ状態になることはない。

【0047】次に、クロック CK の電圧が 0V、クロック XCK の電圧が Vpp となると、Vgs (p1), Vgs (p2), Vgs (n1), Vgs (n2) の関係は、

$$V_{gs}(p1) < V_{gs}(p2)$$

$$V_{gs}(n1) > V_{gs}(n2)$$

となる。

【0048】仮に、MOS トランジスタ Qp 1, Qp 2 および MOS トランジスタ Qn 1, Qn 2 のサイズ比が 1対1 ならば、I (p1), I (p2), I (n1), I (n2) の関係は、

$$I(p2) > I(p1) = I(n1) > I(n2)$$

となる。よって、MOS トランジスタ Qp 2, Qn 2 の各ドレイン電圧は “H” レベルになる。そして、このドレイン電圧はインバータ 22 によって反転され、“L” レベルにレベルシフトされる (OUTn)。

【0049】すると、MOS トランジスタ Qn 3, Qn 4 がオンするので、MOS トランジスタ Qn 1, Qn 2 の各ゲート電位が “L” レベルとなり、これら MOS トランジスタ Qn 1, Qn 2 はオフ状態になる。さらに、MOS トランジスタ Qn 5, Qn 6, Qn 7, Qn 8 がオフし、MOS トランジスタ Qp 3, Qp 4, Qp 5, Qp 6 がオンするので、MOS トランジスタ Qp 1, Qp 2 の各ゲート電位が “H” レベルとなり、これら MOS トランジスタ Qp 1, Qp 2 もオフする。

【0050】しかし、MOS トランジスタ Qp 7 がオンすることにより、MOS トランジスタ Qp 2, Qn 2 の各ドレイン電位が確実に “H” レベルになり、また出力 OUTn は “L” レベルで保持される。ここで、再び、上述した休止状態 (2) となり、上述した回路動作が繰り返される。

【0051】上述した回路構成のレベルシフト機能付きシフトレジスタは、同じ導電型 MOS トランジスタ Qp 1 と Qp 2 および Qn 1 と Qn 2 のマッチングのみが重要であり、異なる導電型である MOS トランジスタ Qp 1 と Qn 1 および Qp 2 と Qn 2 のマッチングはレベル

シフト動作マージンにさほど影響を与えないので、薄膜トランジスタを使用した製造ばらつきの大きいプロセスに対して動作マージンが大である。また、MOSトランジスタ Q_{n1} 、 Q_{n2} からなるカレントミラー回路21のカレントミラー比をクロック CK 、 XCK の反転ごとに積極的に変化させることにより、ダイナミック応答の向上も可能である。

【0052】以上のように、本実施形態に係るレベルシフト機能付きシフトレジスタにおいては、転送パルスのパルス幅をクロック CK の半周期とするとともに、各転送段間で転送パルスを伝送する配線に存在する抵抗や容量などの寄生素子の影響によって転送パルスに生じる遅延を積極的に利用し、ORゲート11nを経た転送パルス Q_{n-1} とレベルシフト後のクロック CK との論理積をANDゲート13nでとってシフトパルス OUT_n として出力するとともに、その論理積出力をORゲート11nに帰還することで、従来技術では、回路規模の小型化や低消費電力化の妨げとなっていたD-FFを必要としない回路構成を実現している。

【0053】換言すれば、転送段の各々を、ORゲート、レベルシフタ、ANDゲートおよびバッファ、具体的な回路例の一つとして、各々8個のPチャンネルMOSトランジスタ $Q_{p1} \sim Q_{p8}$ 、 $Q_{n1} \sim Q_{n8}$ 、2個のインバータ22、24およびバッファ23の簡単な回路構成によって実現できるので、各転送段ごとにD-FFを不要とする分だけ、シフトレジスタ全体の回路規模の小型化および低消費電力化が図れる。

【0054】また、ANDゲート13nの出力パルスを直接シフトパルス OUT_n として導出するとともに、転送パルス Q_n としてバッファ14nを経由して次段の転送段10n+1に供給する構成を採っていることで、転送パルス Q_n の伝送系とシフトパルス OUT_n の出力系とがバッファ14nによって分断され、しかも従来技術のように、シフトパルス OUT_n として導出する際に前段の転送パルス Q_{n-1} との論理積をとっていないため、クロック CK に対するシフトパルス OUT_n の出力応答が、前段からの転送パルスの遅延の影響を受けず、かつ、必要なときにn段目だけクロック CK のレベルシフタ12nを動作させながら、シフト動作を繰り返すことができる。

【0055】〔適用例〕以上説明したレベルシフト機能付きシフトレジスタは、表示装置、例えば画素の電気光学素子として液晶セルを用いた液晶表示装置やエレクトロミネッセンス(EL)素子を用いたEL表示装置の走査系を構成するシフトレジスタや、MOS型などに代表されるX-Yアドレス型固体撮像装置の走査系を構成するシフトレジスタなどに適用可能である。

【0056】但し、本発明はこれらの適用例に限定されるものではなく、レベルシフト機能を持つシフトレジスタ全般に適用し得るものである。ここでは、一例とし

て、液晶表示装置の水平駆動系を構成するシフトレジスタに適用した場合を例にとって説明する。

【0057】図5は、駆動回路一体型液晶表示装置の構成例を示す概略構成図である。本液晶表示装置では、その駆動方式として、画素の各々に対して個々の独立した画素電極を配列し、これら画素電極の各々に薄膜トランジスタ(TFT; Thin Film Transistor)などのスイッチング素子を接続して画素を選択的に駆動する、いわゆるアクティブマトリクス駆動方式(以下、アクティブマトリクス型と記す)を用いている。

【0058】図5において、本例に係るアクティブマトリクス型液晶表示装置は、後述するように画素が行列状(マトリクス状)に配置されてなる画素部31と、画素部31の例えば上側に配置され、各画素への映像信号の書き込みを例えば点順次で行う水平(H)駆動系32と、画素部31の例えば左側に配置され、各画素を行単位で選択する垂直(V)駆動系33とを備え、水平駆動系32および垂直駆動系33が画素部31と共に、例えばTFTを用いて同一の基板(液晶パネル)34上に一体的に形成された構成となっている。

【0059】画素部31は、スイッチング素子として例えばTFT(画素トランジスタ)が形成されたTFT基板と、カラーフィルタや対向電極等が形成された対向基板とを重ね合わせ、これら2枚の透明絶縁基板(例えば、ガラス基板)間に液晶材料を封入することによって作製される。この画素部31において、行列状に配置された各画素40は、スイッチング素子であるTFT41と、このTFT41のドレイン電極に画素電極が接続された液晶セル42と、TFT41のドレイン電極に一方の電極が接続された補助キャパシタ43とから構成されている。

【0060】この画素構造において、各画素40のTFT41は、そのゲート電極が垂直方向(行方向)の画素数 Y (以下、垂直画素数 Y と称す)に対応した y 行分のゲートライン44-1、44-2、……、44-y-1、44-yの各々にそれぞれ接続され、かつそのソース電極が水平方向(列方向)の画素数 X (以下、水平画素数 X と称す)に対応した x 列分の信号ライン45-1、45-2、……、45-x-1、45-xの各々にそれぞれ接続されている。また、液晶セル42の対向電極および補助キャパシタ43の他方の電極は、コモン電位 V_{com} が与えられるコモンライン46に接続されている。

【0061】水平駆動系32は、水平画素数 X に対応した段数のシフトレジスタからなるHスキャナ321と、水平画素数 X に対応して設けられた x 個の水平スイッチ322-1 \sim 322-xとを有する構成となっている。Hスキャナ321はシフトレジスタによって構成され、水平スタートパルス Hst を水平クロック Hck に同期して順に転送することによって得られる各段の転送パルスを水平走査パルスとして順に出力する。このHスキャナ3

21を構成するシフトレジスタとして、先述した実施形態に係るレベルシフト機能付きシフトレジスタが用いられる。

【0062】Hスキャナ321には、外部から供給される例えばTTLレベルの低電圧振幅の水平スタートパルスHstが、液晶パネル34上に作製されたレベル変換回路35によって液晶の駆動に必要な高電圧振幅のパルスに変換されて入力される。水平クロックHckについては、外部から供給される例えばTTLレベルの低電圧振幅のままHスキャナ321に入力され、先述したシフトレジスタ内のレベルシフトで高電圧振幅のクロックに変換される。

【0063】水平スイッチ322-1～322-xは例えばMOSトランジスタからなり、Hスキャナ321から順に出力される水平走査パルスに応答して順にオン状態となることで、映像信号を画素部31の信号ライン45-1～45-xに順次供給する。

【0064】垂直駆動系33は、垂直画素数Yに対応した段数のシフトレジスタからなるVスキャナ331によって構成されている。Vスキャナ331は例えばシフトレジスタによって構成され、垂直スタートパルスVstを垂直クロックVckに同期して順に転送することによって得られる各段の転送パルスを垂直走査パルスとして順に出力する。これら垂直走査パルスは、画素部31のゲートライン44-1～44-yに順次与えられる。

【0065】なお、本適用例では、先述した実施形態に係るレベルシフト機能付きシフトレジスタを、Hスキャナ321を構成するシフトレジスタとして用いるとしたが、Vスキャナ331を構成するシフトレジスタとして用いることも可能である。

【0066】このように、駆動回路一体型液晶表示装置において、例えば水平駆動系のスキャナを構成するシフトレジスタとして、先述したレベルシフト機能付きシフトレジスタを用いることにより、当該シフトレジスタは回路規模の小型化、低消費電力化が可能であるため、液晶パネル34の駆動回路を形成する画素部周辺の領域（額縁）の狭額縁化および液晶表示装置の低消費電力化に大きく寄与できる。特に、レベルシフト機能付きシフトレジスタがTFTを使用した製造ばらつきの大きいプロセスに有効な回路であるため、当該シフトレジスタの適用例としては、駆動系を画素トランジスタと共にTFTを用いて同一基板上に一体形成してなる駆動回路一体型液晶表示装置が最適である。

【0067】本例に係る駆動回路一体型液晶表示装置は、ビデオカメラやデジタルスチルカメラなどのカメラシステムのモニターとして、あるいは携帯電話機やPDA(Personal Digital Assistants)などの携帯端末装置の表示装置として用いて好適なものである。

【0068】図6は、本発明に係るカメラシステム、例えばVTR機能を一体的に搭載したカムコーダと称され

るビデオカメラの構成例を概略的に示すブロック図である。図6において、撮像デバイス、例えばCCD(Charge Coupled Device)撮像素子51で被写体の撮像が行われ、その撮像信号はアナログ信号処理回路52およびカメラ信号処理回路53で各種の信号処理が行われる。

【0069】具体的には、アナログ信号処理回路52では、CCD撮像素子51から出力される撮像信号に対して、当該撮像素子51の出力部で発生する1/fノイズなどを除去するためのCDS（相関二重サンプリング）処理や、信号レベルを一定にするためのAGC（自動利得制御）処理などの信号処理が行われる。また、カメラ信号処理回路53では、輝度信号および色差信号の生成や、オートホワイトバランス等の画質調整などの信号処理が例えばデジタル処理にて行われ、最終的にアナログ映像信号として出力される。

【0070】このアナログ映像信号は、記録／再生部54に供給される。記録／再生部54は、入力されるアナログ映像信号を磁気テープなどの記録媒体55に記録（あるいは、画像メモリなどの記憶媒体に記憶）し、また記録媒体55に記録されている記録情報を再生する。

【0071】本カムコーダは、撮像中の被写体（撮像画像）を確認するための表示装置として、液晶モニタ56および液晶ビューファインダ57を備えている。これら液晶モニタ56および液晶ビューファインダ57として、先述した実施形態に係る駆動回路一体型液晶表示装置が用いられる。そして、液晶モニタ56および液晶ビューファインダ57には、ドライバIC58でコモン電位Vcomを中心に交流駆動化されたアナログ映像信号が、切り替えスイッチ59を介して選択的に供給される。

【0072】このように、本発明に係るカメラシステムでは、液晶モニタ56および液晶ビューファインダ57として、先述した実施形態に係る駆動回路一体型液晶表示装置を用いていることにより、当該液晶表示装置は狭額縁化および低消費電力化が可能であるため、本カメラシステムの小型化および低消費電力化に大きく寄与できる。

【0073】なお、本適用例では、液晶モニタ56および液晶ビューファインダ57の双方に、先述した実施形態に係る駆動回路一体型液晶表示装置を用いるとしたが、いずれか一方のみに用いるようにしても良く、またいずれか一方の液晶表示装置を備えたビデオカメラやデジタルスチルカメラなどのカメラシステムに対しても同様に適用可能である。

【0074】図7は、本発明に係る携帯端末装置、例えば携帯電話機の構成の概略を示す外観図である。本例に係る携帯電話機は、装置筐体61の前面側に、スピーカ部62、表示部63、操作部64およびマイク部65が上部側から順に配置された構成となっている。かかる構成の携帯電話機において、表示部63には例えば液晶表

示装置が用いられ、この液晶表示装置として、先述した実施形態に係る駆動回路一体型液晶表示装置が用いられる。

【0075】 このように、携帯電話機やPDAなどの携帯端末装置において、先述した実施形態に係る駆動回路一体型液晶表示装置を表示部53として用いることにより、当該液晶表示装置は狭額縁化および低消費電力化が可能であるため、本端末装置の小型化および低消費電力化に大きく寄与でき、特に低消費電力化によってバッテリーの使用時間を延長できる効果がある。

【0076】

【発明の効果】 以上説明したように、本発明によれば、レベルシフト機能付きシフトレジスタの各転送段を、従来技術では回路規模の小型化や低消費電力化の妨げとなっていたD-FFを必要としない回路構成で実現しているので、回路規模の縮小化および低消費電力化が図れる。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係るレベルシフト機能付きシフトレジスタの構成を示すブロック図である。

【図2】 本実施形態に係るレベルシフト機能付きシフトレジスタの回路動作を説明するためのタイミングチャートである。

【図3】 本実施形態に係るレベルシフト機能付きシフトレジスタの等価回路図である。

【図4】 n段目の転送段を実現するための具体的な回路構成例を示す回路図である。

【図5】 駆動回路一体型液晶表示装置の構成例を示す概略構成図である。

【図6】 本発明に係るカメラシステムの構成例を概略的に示すブロック図である。

【図7】 本発明に係る携帯端末装置の構成の概略を示す外観図である。

【図8】 従来例に係るレベルシフト機能付きシフトレジスタの構成を示すブロック図である。

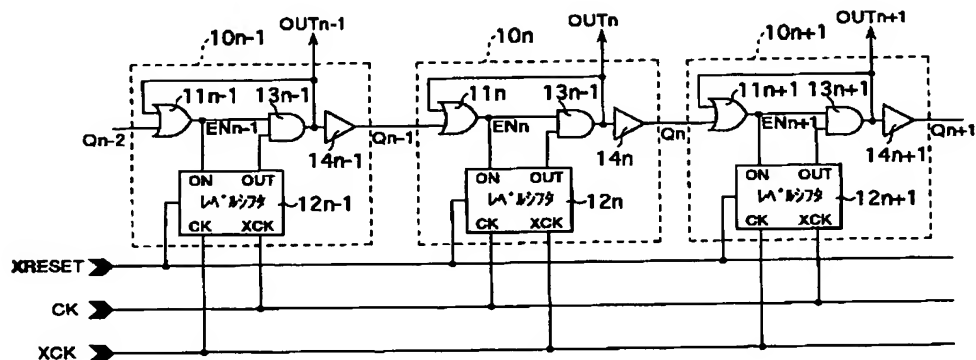
【図9】 従来例に係るレベルシフト機能付きシフトレジスタの回路動作を説明するためのタイミングチャートである。

【図10】 従来例に係るレベルシフト機能付きシフトレジスタの等価回路図である。

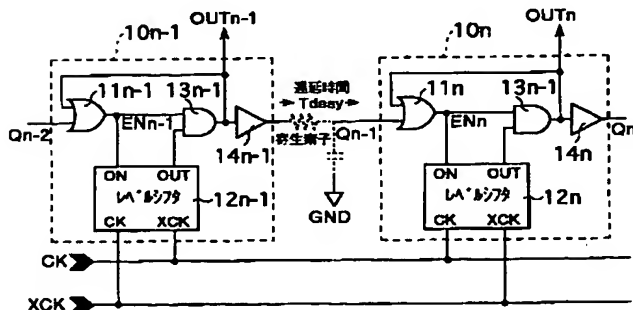
【符号の説明】

10n-1~10n+1…転送段、11n-1~11n+1…ORゲート、12n-1~12n+1…レベルシフト、13n-1~13n+1…ANDゲート、14n-1~14n+1…バッファ

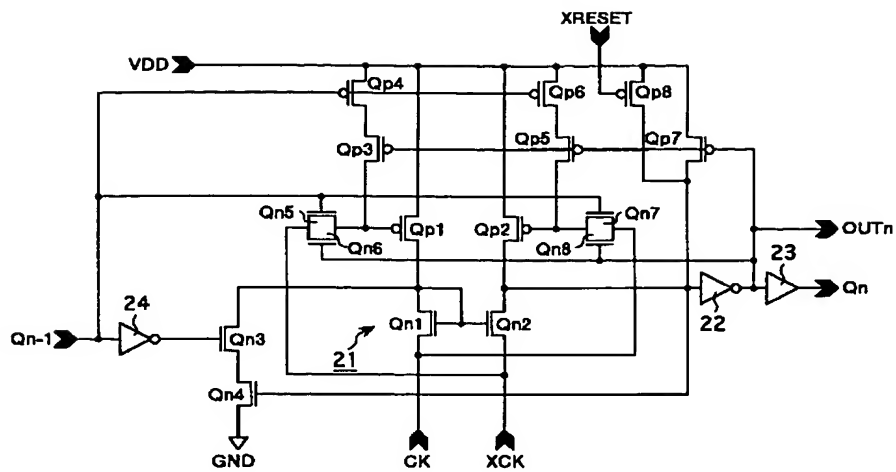
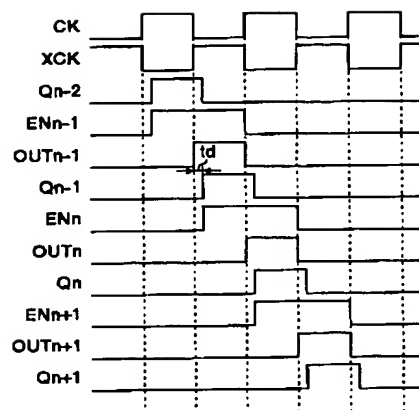
【図1】



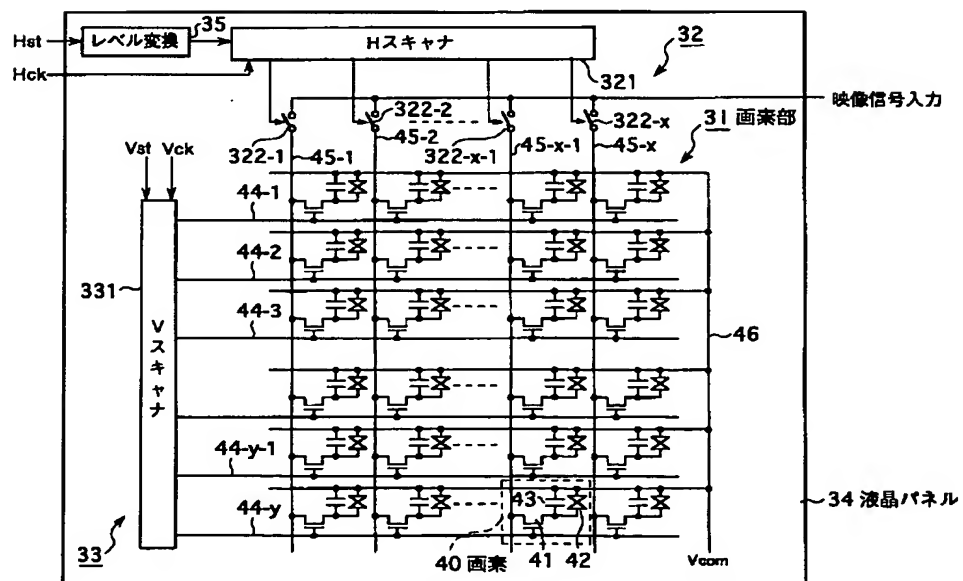
【図3】



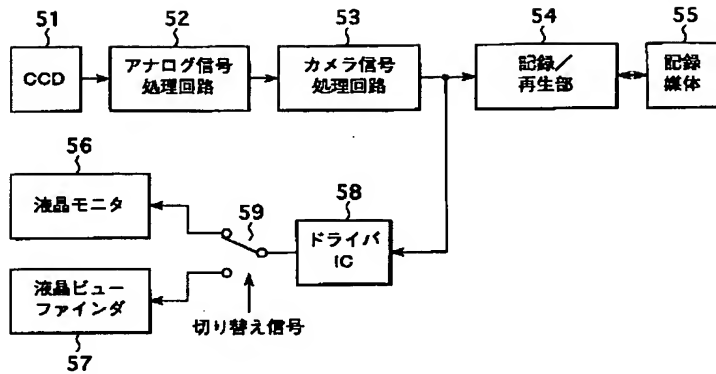
【図4】



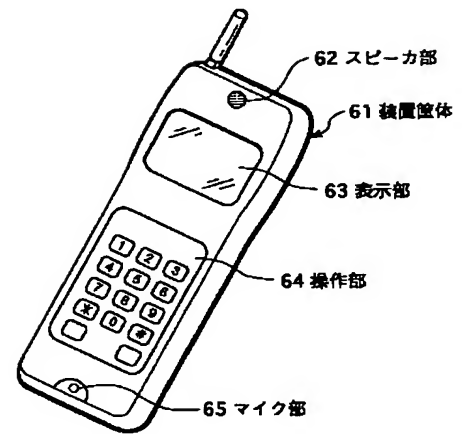
【図 5】



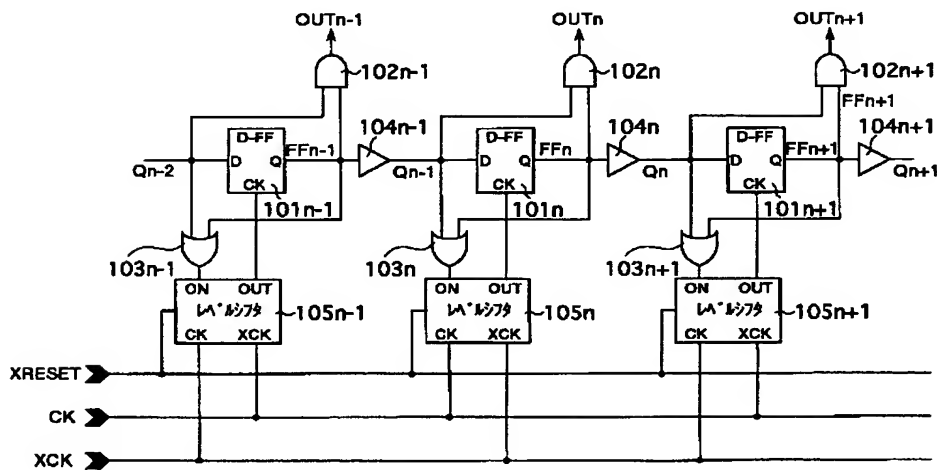
【図 6】



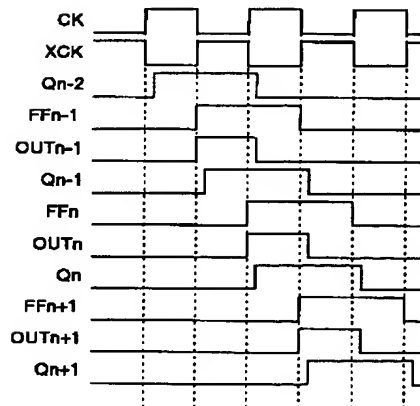
【図 7】



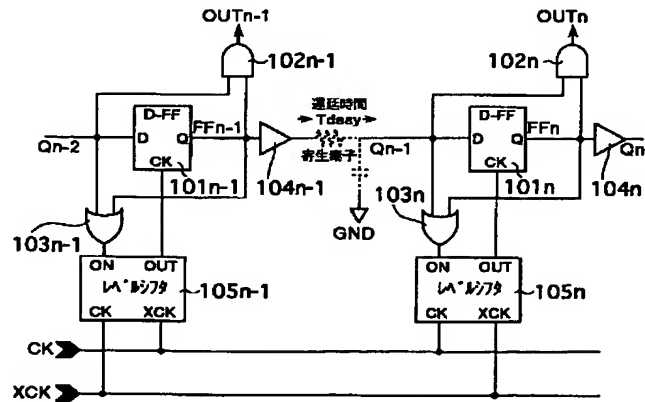
【図 8】



【図 9】



【図 10】



フロントページの続き

| (51) Int. Cl. ⁷ | 識別記号 | F I | テームコード (参考) |
|----------------------------|-------|--------------|-------------|
| G 0 9 G 3/20 | | G 0 9 G 3/20 | 6 8 0 V |
| H 0 4 N 5/66 | 1 0 2 | H 0 4 N 5/66 | 1 0 2 B |

| | | |
|-------------------------|------------|--------------------------------|
| (72) 発明者 青山 孝志 | F ターム (参考) | 2H093 NC22 NC34 NC35 ND39 ND42 |
| 愛知県刈谷市豊田町 2 丁目 1 番地 株式会 | | ND49 |
| 社豊田自動織機製作所内 | | 5C006 AC11 AC21 AF72 BB16 BC11 |
| | | BC16 BC20 BF03 BF06 BF26 |
| | | BF46 FA47 |
| | | 5C058 AA06 BA01 BA04 BA26 |
| | | 5C080 AA06 AA10 BB05 DD22 DD26 |
| | | FF11 HH10 JJ02 JJ03 JJ04 |
| | | JJ06 KK02 KK07 KK43 |